

MICROPROCESSOR

Patent number: JP2002073201

Publication date: 2002-03-12

Inventor: MATSUI SHIGEZUMI; YAMAMOTO MITSUTAKE;
YOSHIOKA SHINICHI; NARITA SUSUMU; KAWASAKI
IKUYA; KANEKO SUSUMU; HASEGAWA KIYOSHI

Applicant: HITACHI LTD; HITACHI ULSI SYS CO LTD

Classification:

- International: G06F1/06; G06F9/30; G06F15/78; G06F1/06;
G06F9/30; G06F15/76; (IPC1-7): G06F1/06; G06F9/30;
G06F15/78

- european:

Application number: JP19950187813 19950630

Priority number(s): JP19950187813 19950630; JP19940181901 19940711;
JP19950085930 19950320

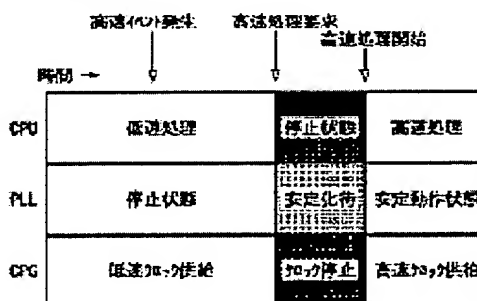
Report a data error here

Abstract of JP2002073201

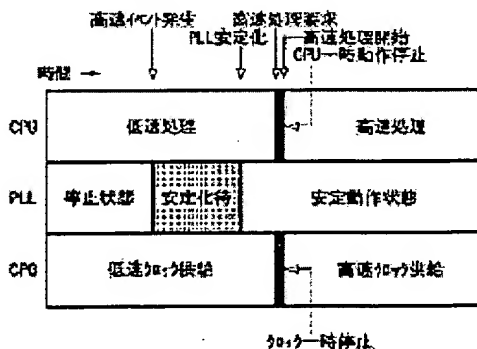
PROBLEM TO BE SOLVED: To realize a microprocessor which is capable of quickly switching a low speed mode to a high speed mode, and facilitating countermeasures to an unexpected situation even at the time of switching the mode. **SOLUTION:** In this microprocessor incorporating a PLL circuit for forming an oscillation pulse with relatively high frequencies obtained by multiplying a clock pulse with relatively low frequencies as a reference frequency input, in a low speed mode, the operation of the PLL circuit is stopped, and a system clock signal corresponding to the relatively low frequencies is outputted, and in a high speed mode, the PLL circuit is started according to the generation of an event whose high speed processing is necessary, and then the system clock signal corresponding to the relatively low frequencies is continuously outputted until the PLL circuit is stabilized, and a request for the start of the high speed processing is issued, and a system clock signal corresponding to the oscillation pulse with the relatively high frequencies formed by the PLL circuit is outputted when the output frequencies of the PLL circuit are stabilized, and the request for the start of the high speed processing is issued.

図19 処理速度切り替えの効果

(A) 従来の場合



(B) 本発明の場合



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

3

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G06F 15/177

(11) 공개번호 10-1996-0005342
(43) 공개일자 1996년 02월 23일

(21) 출원번호	10-1995-0019881
(22) 출원일자	1995년 07월 07일
(30) 우선권주장	94-181901 1994년 07월 11일 JP 95-085930 1995년 03월 20일 JP 95-187813 1995년 06월 30일 JP
(71) 출원인	가부시끼가미샤하다찌세이사쿠쇼 가나이쯔토무 일본국도쿄도지요다구간다쓰루가다이4-6하다찌초엘에스아이엔지니어링가부시 끼가미샤 스즈끼전이찌로
(72) 발명자	일본국도쿄도고다이라시조소이혼초5-20-1 마쯔이시게즈미 일본국도쿄도고다이라시가쿠엔니시마찌1-12-16-A202 마마모토미즈요시 일본국도쿄도히가시우라야마시온다초1-59-2-A418 요시오카신이찌 일본국도쿄도고다이라시조소이혼초5-19-1 나리따스스무 일본국도쿄도고꾸분지시히가시도꾸라1-21-70 가와사끼이꾸야 일본국도쿄도고다이라시오가와초1-398-13 가네코스스무 일본국도쿄도고꾸분지시히요시초3-22-1-210 하세가와기요시 일본국도쿄도홋사시구마가와1658-1 (74) 대리인 백남기서울시 강남구 논현동200-7

심사청구 :

(54) 마이크로 프로세서

요약

[목적]저속모드에서 고속모드로의 전환을 고속으로 실행할 수 있으며, 모드전환시 예측불허의 사태에 대처할 수 있는 마이크로프로세서를 제공한다. [구성]클럭필스 발생회로 CPU내의 멀티플렉서 MUX3에서 출력된 높은 주파수의 시스템 클럭신호 CK1은 클럭스위치 CS1-CS4를 거쳐 중앙처리장치 CPU, 승산기 MULT, 메모리 관리유닛 MMU, 캐쉬 메모리 CACHE에 공급된다. 이때 클럭스위치 CS1은 모듈이네이블신호 CPEN의 하이레벨을 받아 선택적으로 전달상태가 되고, 클럭스위치 CS2, CS3 및 CS4는 대응하는 모듈 인에이블신호의 하이레벨을 받아 각각 선택적으로 전달상태로 된다. 이에 따라 중앙처리장치 CPU, 승산기 MULT, 메모리관리유닛 MMU 및 캐쉬메모리 CACHE는 모듈 인에이블신호에 의해 각각 선택적으로 동작한다. 한편, 마이크로프로세서 MPU가 저속모드에서 고속모드로 전환될때, 클럭인에이블신호 CKEN이 일시적으로 로우레벨로 되기 때문에 모드전환에 따른 헤즈드 잡음이 방지되고, 마이크로프로세서 MPU의 동작이 안정화된다.